

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **10327003 A**(43) Date of publication of application: **08.12.98**

(51) Int. Cl.

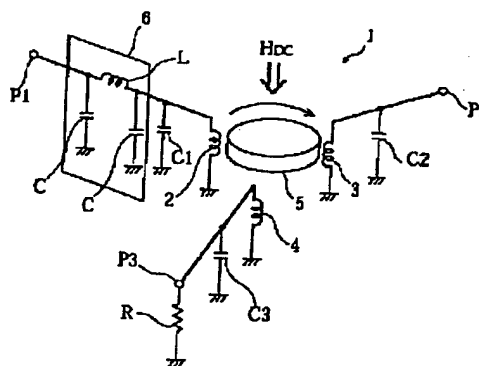
H01P 1/383**H01P 1/36****H04B 1/04**(21) Application number: **10033005**(22) Date of filing: **16.02.98**(30) Priority: **21.03.97 JP 09 68217**(71) Applicant: **MURATA MFG CO LTD**(72) Inventor:
MAKINO TOSHIHIRO
MASUDA AKITO
KAWANAMI TAKASHI
ASHIDA YOSHIHIKO(54) **IRREVERSIBLE CIRCUIT ELEMENT AND
COMPOSITE ELECTRONIC COMPONENT**

(57) Abstract:

PROBLEM TO BE SOLVED: To provide an irreversible circuit element which eliminates increase in a loss and a narrow frequency band in the case of setting to a low power supply voltage.

SOLUTION: Relating to an isolator (irreversible circuit element) where plural center electrodes 2-4 are placed in crossing, a ferrite 5 is placed at the crossing part and a DC magnetic field HDC is applied to the ferrite 5, an impedance converter 6 is added to any of ports P1 of the center electrodes 2-4 to set an impedance Z_i to be $2 < Z_i < 12.5$ ohms.

COPYRIGHT: (C)1998,JPO



伴って電池構成の簡略化も進んでおり、最近では3.6～8V程度の電圧に設定される場合がある。このため線形増幅器の電源電圧も3.0～8V程度に設定されている。また上記線形増幅器の値和電力（入力を増加してもこれ以上出力の増えない電力をいう）は、電源電圧と増幅素子（トランジスタ、電界効果トランジスタ、その中でも最近では特にGaAs-FET）の出力インピーダンスで決定され、例えば定格出力電力が1W程度の線形増幅器では値和電力は命捨て持たせるために2V前後に設定するのが一般的である。

【0008】
 [発明が解決しようとする課題] ところが、上記低電源電圧とした場合、図9に示すように、出力増幅素子24の50Ωに設定される線形増幅器の出力インピーダンスに比べてかなり低くなる。このような低いインピーダンスを50Ωに変換するには、インピーダンス変換比の大きい出力整合回路25を採用する必要がある。このため変換回路における損失が増加するとともに良好な整合がなされる周波数範囲が狭くなる。その結果、電力増幅器の効率、動作周波数帯域を劣化させる要因になるという問題がある。

（００９）本発明は、上記事情に鑑みてなされたもので、低電圧電圧に設定する場合の損失の増大、及び周波数の狭帯域を回避でき、小型化、低価格化に貢献できる非可逆回路素子及び複合電子部品を提供することを目的としている。

【0010】
 (課題を解決するための手段) 請求項1の発明は、複数の中心電極を交差させて配置し、該交差部分にフェライトを配置するとともに直流電界を印加するようにした非可逆回路素子において、上記中心電極の何れか1つのポートの入力及び出力インピーダンス Z_{in} を $2 < Z_{in} < 12.5 \Omega$ に設定したことを特徴としている。

【0011】請求項2の発明は、請求項1と同様の非可逆回路素子において、上記中心電極の何れか1つのポートにインピーダンス変換回路を付加し、該ポートの入力インピーダンス Z_i を $2 < Z_i < 12.5 \Omega$ に設定したことを特徴としている。

【0012】請求項3の発明は、請求項2において、上記インピーダンス変換回路が附加されていない残りのポートの1つに終端抵抗を接続してアインレータとしたことを特徴としている。

(0013) 請求項4の発明は、請求項2又は3において、上記インピーダンス変換回路が、C-L-Cのπ型回路網により構成されていることを特徴としている。

(0014) 請求項5の発明は、請求項4において、上記C-L-Cのπ型回路網のカットオフ周波数 f_c が $0.75 \times f_0 < f_c < 2 \times f_0$ となるように設定されていることを特徴としている。

〔0015〕請求項6の発明は、請求項2又は3において、上記インピーダンス変換回路が、L-C-Lのπ型回路網により構成されていることを特徴としている。

【016】請求項7の発明は、請求項2又は3において、上記インピーダンス変換回路が、 $(2n-1) \cdot \lambda/4$ (n は自然数、 λ は線路内波長)の分布定数トランズに構成されていることを特徴としている。

【0017】請求項8の発明は、磁気回路を構成するヨーク内に、複数の中心電極を交差させて配置するとともに、該交差部分にフェライトを配置してなる磁性組立体とし、上記各中心電極のポートに接続された整合用コンデンサとを収納した非可逆回路素子において、上記中心電極の何れか1つのポートにインピーダンス変換回路を付加するとともに上記ヨーク内に内蔵し、該ポートの入力インピーダンス Z_i を $2 < Z_i < 1.2 \cdot 5 \Omega$ に設定したことを特徴としている。

【0018】請求項9の発明は、請求項8において、上
記シンベンダンス変換回路が、ヨーク内に配設された非
可逆回路構成部品に形成されていることを特徴としてい

【0019】請求項10の発明は、請求項1ないし9のいずれかの非可逆回路素子を送信電力増幅器の出力部に接続して1つのケース内に収納し、表面実装用端子を有し、かつ6ボルト以下の電源電圧で動作することを特徴する積層電子部品。

0020]にて、上記入力インバーダンスZ_iと、アインレタの入力ポートのように、当該ポートが電力を受けることをその機能として通常期待されるポートの特性インバーダンスの意味であり、出力インバーダンスZ_oとは、増幅器の出力ポートのように当該ポート電力を送り出すことをその機能として通常期待されるポートの特性インバーダンスの意味であり、さらに入力出力インバーダンスZ_{io}とは、サーキュレタの出力ポートのように当該ポートが電力を受けること及び送り出すことを共にその機能として通常期待されるポートの特性インバーダンスの意味である。

0021}

【発明の実施の形態】以下、本発明の実施の形態を断片面に基いて説明する。図1及び図2は、請求項1、3、4、5の発明の一実施形態によるアイソレータ3、説明するための図面であり、図1はアイソレータの等価回路図、図2は本アイソレータが採用された携帯電話用電力増幅器の構成図である。

0022) 本表形状磁石の集中定数型アイソレート1-3つとの中心電磁2, 3, 4を互いに電磁的絶縁状態かつ所定角度をなすように交差させて配置し、該交差分にフェライト5を配置するとともに、永久磁石(不示)により直流磁界HDCを印加して構成されている。

0023) 上記各中心電磁2~4と各ポートP1~Pとの間には整合用容量C1~C3が並列接続されており

り、このうち1つのポートP3には終端抵抗器Rが接続されている。これによりポートP1からの送信信号をポートP2に伝送し、該ポートP2から侵入する反射波を終端抵抗器Rで吸収する。

【0024】そして上記ポートP1にはインピーダンス変換回路8が附加されている。このインピーダンス変換回路8により上記ポートP1のインピーダンスのみ2〜112.5Ωに設定されており、ポートP2のインピーダンスは50Ωに設定されている。上記インピーダンス変換回路8はアインシュタイン一体に内蔵されている。

【0025】上記インピーダンス変換回路8は、インダクタンスLとキャパシタCとのC-L-Cπ型回路網からなるもので、このπ型回路網のカットオフ周波数 f_c は、 $0.75 \times f_0 < f_c < 2 \times f_0$ の範囲となるように設定されている。

【0026】また上記アイソレータ1は、送信電力増幅器10とアンテナ11との間に挿入されている。この電波増幅器10は、入力整合回路12、1段目増幅素子13、2段目増幅素子14、2段目増幅素子15、及び出力整合回路16を備えており、輸出電力整合回路18の出力部に上記アイソレータ1が接続されている。

〔0027〕次に本実施形態の作用効果について説明す。本実施形態のアイソレート1によれば、送信信号が入力されるポートP1にインピーダンス変換回路8を付し、インピーダンスを2〜1.2Ωに設定したのに対して、出力増幅素子15からの低いインピーダンスを定めたインピーダンスに変換することが可能となる。

【0028】これにより、上述のインピーダンス変換比の大きい整合回路を設ける必要はなくなり、リアクタン成分だけを除去する出力整合回路18を採用することになる。その結果、3～8ボルトの低電源電圧に設定する場合の挿入損失を小さくできるとともに、周波数帯を広くでき、品質に対する信頼性を向上できる、ひいては携帯電話機の小型化、軽量化に貢献できる。

(0029) 本実施形態では、インピーダンス変換回路のカットオフ周波数 f_c を、 $0.75 \times f_0 < f_c < 2 \times f_0$ の範囲としたので、これにより低域通過フィルタとして機能することとなり、送電電力増幅器10で発生する不要な高周波を抑制除去でき、この点からも信頼性、高性能化に貢献できる。

0.03.0)なお、上記実施形態では、集中定数型AIレスレータ1を例にとって説明したが、本発明は、図3に示すように、3ポート型のサーキュレータ40にも勿論用でき、この場合にも何れか1つのポートP1にインダクタンス変換回路8を付加することにより、上記実施形態と同様の効果が得られる。

0031] 図4は、請求項6の発明の一実施形態によるサークレータを説明するための等価回路図であり、中、図1と同一符号は同一又は相当部分を示す。

0032] 本実施形態の集中数型サーキュレータ4

6
11は、3つの中心電極2～4の交差部分にフレアイド5を配置するとともに直流境界HDCを印刷して構成されている。そして上記サークキュレータ41の1つのポートP1はインピーダンス変換回路42が付加されており、ポートP2はインピーダンス変換回路42はL-C-Lのπ型回路43となるものである。

【0033】本実施形態においても、低いインピーダンスを安定したインピーダンスに変換することが可能となり、上記実施形態と同様の効果が得られる。

【0034】図5は、請求項7の発明の一実施形態によるサーキュレータを説明するための等価回路図であり、図3と同一符号は同一又は相当部分を示す。

【0035】本実施形態のサーキュレータ41は1つのポートP1にインピーダンス変換回路43を付加し、該変換回路43を $(2n-1) \cdot \lambda/4$ の分布定数トランスにより構成した場合である。本実施形態において、上記実施形態と同様の効果が得られる。

【0036】図6及び図7は、請求項10の発明の一実施形態による複合電子部品を説明するための図であり、図中、図1及び図2と同一符号は同一又は相当部分を示

(0037)本表形状のアイソレート1は、ポートPにインピーダンス変換回路6を付加してなり、基本的には上記形状と同様である。そして本アイソレート1は6ボルト以下の電源電圧で動作する送信電力増幅器50内に一体に内蔵されている。

【0038】上記送電電力増幅器50は、回路基板51上に上述の入力整合回路12、1段目増幅素子13、段間整合回路14、2段目増幅素子15、及び出力整合回路16を realise し、各素子12～16をマイクロストリップイン54により接続してなり、出力整合回路16の外部に上記アンテナ17が接続されている。

0039] また上記回路基板51にはシングルケース2が装着されており、該ケース52と同回路基板51と同から表面実装用の入出力、及びアース端子53が突している。

0040)本実態形態では、送信電力増幅器50内に
インシュレータ1を内蔵して一体化したので、1つの複合
子部品として構成できることから、回路構成を単純化
できるとともに、小型化でき、携帯電話機の小型化に貢
げることができる。

0.041) ことで、近年の積層電磁気回路の小型化、軽量化に伴って回路基板の厚化が進んでおり、これに対してマイクロストリップラインのライン幅も極端に狭くなる。例えば、回路基板の板厚を0.1mmとした場合特性インピーダンス50Ωのライン幅は0.17mmとなり、また板厚を0.3mmとした場合の特性インピーダンス50Ωのライン幅は0.5mmとなる。

0042] このようにライン幅が狭くなると、マクイ
ストリップラインの幅精度が得られず整合不良を起こ

す場合があり、また半田付け用装パッドを上記ライン幅に対して幅広とする必要があることから、装パッドでの整合不良を起すという問題が生じる。さらにライン幅が狭くなることで伝送損失も大きくなる。

[0043]これに対して本実施形態のように特性インピーダンスを2~12.5Ωに設定した場合には、回路基板51の硬化に依らずマイクロストリップライン54のライン幅を広くすることが可能となり、上記整合不良の問題を解消できる。また半田付け用装パッド55を幅広くしても整合不良を起すのを回避できる。表面実装を行う際のインソレータ1の位置ずれによる接続不良等の実装性の悪化を防止でき、接続強度を向上できる。

[0044]これにより通信機器等の生産性、及び堅牢性を向上でき、ひいては安価で信頼性の高い通信機を提供できる。なお、上記マイクロストリップラインに限られるものではなく、ストリップライン回路、コプレーナ線路、グラウンド・コプレーナ線路等の伝送線路の場合にも同様である。

[0045]また特性インピーダンス50Ω以外の信号で実装を行う場合、上記電力増幅器50内にインソレータ1を内蔵したので、例えばユーザが直接非50Ω系の面所を扱う必要がなく、設計変更等の手間を必要にできる。

[0048]図10ないし図14は、請求項8、9の発明の一実施形態による非可逆回路素子を説明するための図である。本実施形態では、上述のインピーダンス変換回路を内蔵したインソレータの具体的な構造を説明する。図中、図1と同一符号は同一又は相当部分を示す。

[0047]図において、1は移動通信機器の送信電力増幅部に接続される集中定数型インソレータ2の内部に矩形状の永久磁石61を配置するとともに、該永久磁石61に同じく磁性体金属からなる下ヨーク62を装着して磁気閉回路を形成し、該下ヨーク62の底面62a上にコイル63を配置するとともに、該コイル63に磁性体金属からなる上ヨーク64を配置し、磁性体金属からなる上ヨーク64に永久磁石61により直流通路を印刷するように構成されている。

[0048]上記磁性体金属64は、円板状のフェライト5の上面に3本の中心電極2、3、4を絶縁シート(不図示)を介在させて120度角度ごとに交差するよう折曲げて配置し、各中心電極2~4の一端側の入出力ポートP1、P2、P3を外方に突出するとともに、他端側のアース部7をフェライト4の底面に当接した構造のものである。

[0049]上記コイル63は電気の絶縁部材からなり、矩形状の側壁63aに底壁63bを一体形成した構造のもので、この底壁63bには通孔63cが形成されており、底壁63bの通孔63cの周縁部に50

はそれぞれ各単板型整合用コンデンサC1~C3を位置決め収納する凹部63d、及び単板型終端抵抗Rを位置決め収納する凹部63eが形成されている。上記通孔63aには磁性体金属64が挿入されており、磁性体金属64のアース部7は下ヨーク62の底面62aに接続されている。

[0050]上記側壁63の左、右側壁63a外面の一端側には入出力端子66、67が配設されており、該各入出力端子66、67の延長端は底壁63a上面の左、右コーナー部に露出している。左、右側壁63a外面の他端側にはアース端子68、68が配設されており、該各アース端子68の延長端は上記凹部63d、63eの上面に露出して各コンデンサC1~C3、終端抵抗Rの下面電極に接続されている。また上記底壁63b上面の入出力端子66、67の中間部には金属導体片69が配設されており、該金属導体片69の延長端は底壁63bに露出して下ヨーク62の底面62aに接続されている。上記入出力端子66、67、アース端子68、金属導体片69は樹脂ケース63内に一部をインソレートモールドして形成されたものである。

[0051]上記各整合用コンデンサC1~C3の上面電極には各中心電極2~4のポートP1~P3が接続されており、このうちポートP2の先端は上記入出力端子66に、ポートP3の先端は終端抵抗Rに接続されている。

[0052]上記磁性体金属64と永久磁石61との間には矩形状のスペーサ部材70が配設されている。このスペーサ部材70は、ガラスエポキシ系、プラスチック系、テフロン系等のブリント基板、セラミック基板、あるいは弾性を有する液晶ポリマー等の樹脂からなるものであり、中央部には孔70aが形成されている。この孔70aは整合用コンデンサC1~C3や中心電極2~4を効果的に押圧するためのもので、必ずしも形成する必要はない。

[0053]上記スペーサ部材70は、下ヨーク62に上ヨーク60を嵌装すると同時に永久磁石61を介して磁性体金属64、側壁63を下ヨーク62に、各中心電極2~4のポートP1~P3を各整合用コンデンサC1~C3、終端抵抗Rに、また各整合用コンデンサC1~C3、終端抵抗Rを樹脂ケース63にそれぞれ電気的に押圧固定している。これにより各構成部品同士を半田付けする際の専用工具を不要にでき作業工数の削減が可能となり、またユーザがローにより表面実装の際のオープニング不良を防止している。

[0054]そして上記スペーサ部材70には、図3(a)、図3(b)に示すように、C-L-Cのπ型回路網からなるインピーダンス変換回路6が形成されている。このインピーダンス変換回路6は、スペーサ部材70にインダクタンス電極71及び第1、第2コンデンサ電極72、73を圧着、印刷等によりパターン形成して

構成されている。なお、上記電極71~73はスペーサ部材内に金属片をインサートモールドして形成してもよい。ここで、図3(a)はスペーサ部材70の上面に形成された電極を示す平面図であり、図3(b)はスペーサ部材70の下面に形成された電極を透視で示した平面図である。

[0055]上記インダクタンス電極71の一端部71aはスルーホール電極74に、他端部71bは上記第1コンデンサ電極72の一端部72aに接続されている。この第1コンデンサ電極72の他端部72bはスルーホール電極75に接続されている。

[0056]上記スペーサ部材70の下面には該部材70を嵌んで上記第1コンデンサ電極72に對向する第2コンデンサ電極73が形成されており、該第2コンデンサ電極73に接して上記他端部71bと一端部72aとの接続部に對向する第1接続電極76が接続形成されている。

[0057]また上記スペーサ部材70下面の第1コンデンサ電極72の他端部72bに對向する部分には第2接続電極77が形成されており、両電極72b、77は上記スルーホール電極75により接続されている。さらに上記スペーサ部材70下面のインダクタンス電極71の一端部71aに對向する部分には第3接続電極78が形成されており、両電極71a、78は上記スルーホール電極74により接続されている。

[0058]上記第1接続電極78は金属導体片69を介して下ヨーク62に接続され、第2接続電極77は一方の入出力端子67に接続されており、第3接続電極78は中心電極2のポートP1、及び整合用コンデンサC1の上面電極に接続されている。

[0059]このようにして本実施形態のインソレータ1は、図13、図14の等価回路図に示すように、インダクタンス電極71で形成されるインダクタンスL1は第1コンデンサ電極72を介して中心電極2のポートP1と入出力端子67との間に直列接続され、第1、第2コンデンサ電極72、73で形成されるコンデンサC1は入出力端子67と金属導体片69(アース)との間に並列接続されている。

[0060]そして、上記ポートP1の整合用コンデンサC1は、インソレータ1の整合用回路として機能するコンデンサC0と、コンデンサC1と2の並列容量とで表され、このコンデンサC1と2とインダクタンスL1とコンデンサC1とC-L-Cのインピーダンス変換回路6が構成されている。

[0061]本実施形態によれば、ポートP1にインピーダンス変換回路6を付加し、該インピーダンスを2~12.5Ωに設定した上で、上述と同様に低いインピーダンスを安定したインピーダンスに変換することが可能となり、低電圧電圧に設定する場合の挿入損失を小さくできるとともに、周波数帯域を広くでき、上記実施形態

と同等の効果が得られる。

[0062]上記インソレータ1の構成部品であるスペーサ部材70にインピーダンス変換回路6を形成したことで、該インピーダンス変換回路6をインソレータ1内に設け、変換回路を別途設ける場合の部品コストの上昇、及び大型化を回避でき、ひいては移動通信機器の小形化、低価格化に貢献できる。また上記スペーサ部材70を有効利用して形成したので、インソレータの外形寸法が大きくなることはなく、この点からも小型化、軽量化に貢献できる。

[0063]なお、上記実施形態では、インピーダンス変換回路をスペーサ部材に形成した場合を例にとったが、本発明はこれに限られるものではなく、ヨーク内に配設された非可逆回路を構成する他の基板、あるいは部品等に形成すればよい。

[0064]

[発明の効果] 以上のように請求項1の発明に係る非可逆回路素子によれば、中心電極の何れか1つのポートの入力及び出力インピーダンスZioを $2 < Zio < 1$ に設定した上で、低いインピーダンスを安定したインピーダンスに変換することが可能となり、インピーダンス変換比の大きい整合回路を設ける必要はなくなる。このことから、低電圧電圧に設定する場合の挿入損失を小さくできるとともに、周波数帯域を広くでき、品質に対する信頼性を向上してきける効果がある。

[0065]請求項2の発明では、中心電極の何れか1つのポートにインピーダンス変換回路を付加し、入力インピーダンスZioを $2 < Zio < 1$ に設定した上で、上記同様に安定したインピーダンスに変換することができ、請求項1と同様の効果が得られる。

[0066]請求項3の発明では、インピーダンス変換回路が付加されていない残りの1つのポートに終端抵抗を接続した上で、インソレータとして機能することとなり、携帯電話機の送信電力増幅器での整合状態の改善効果がある。

[0067]請求項4の発明では、上記インピーダンス変換回路をC-L-Cのπ型回路網により構成した上で、上記請求項1と同様の効果が得られる。

[0068]請求項5の発明では、上記C-L-Cπ型回路網のカットオフ周波数fcを $0.75 \times f < fc < 2 \times f$ の範囲とした上で、低域通過フィルタとして機能することとなり、送信電力増幅器で発生する不要な高周波を抑制除去でき、信頼性、高信頼性に貢献できる効果がある。

[0069]請求項6の発明では、上記インピーダンス変換回路をL-C-Lのπ型回路網により構成した上で、上記請求項1と同様の効果が得られる。

[0070]請求項7の発明では、上記インピーダンス変換回路を $(2n-1) \cdot \lambda g/4$ (nは自然数、λgは線路内波長)の分布定数トランスに構成したので、上

記請求項1と同様の効果が得られる。

【0071】請求項8の発明では、インピーダンス変換回路をヨーク内に内蔵したので、別回路を用いる場合のコスト上昇及び大型化を回避でき、小型化、低価格化に貢献できる効果がある。

【0072】請求項9の発明では、インピーダンス変換回路をヨーク内に配設された非可逆回路構成部品に形成したので、該部品を有効利用して形成でき、小型化、軽量化に貢献できる効果がある。

【0073】請求項10の発明では、6ボルト以下の電源電圧で動作する送信電力増幅器内に非可逆回路素子を一体に内蔵したので、回路構成を簡単にできるとともに、小型化に貢献できる効果があり、またライン幅を広く設定でき、整合不良の発生を防止できる効果がある。

【図面の簡単な説明】

【図1】請求項1～5の発明の一実施形態による集中定数型アイソレータの等価回路図である。

【図2】上記アイソレータが採用された送信電力増幅器の構成図である。

【図3】サーキュレータに適用した場合の等価回路図である。

【図4】請求項6の発明の一実施形態による集中定数型サーキュレータの等価回路図である。

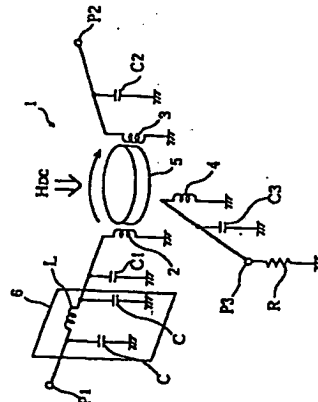
【図5】請求項7の発明の一実施形態による集中定数型サーキュレータの等価回路図である。

【図6】請求項10の発明の一実施形態によるアイソレータを内蔵した送信電力増幅器（複合電子部品）の構成図である。

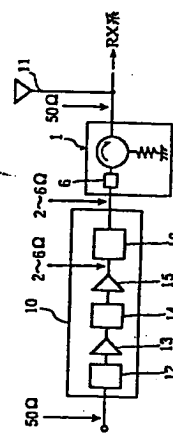
【図7】上記送信電力増幅器の分解斜視図である。

【図8】一般的なアイソレータの等価回路図である。 * 30 C1～C3

【図1】

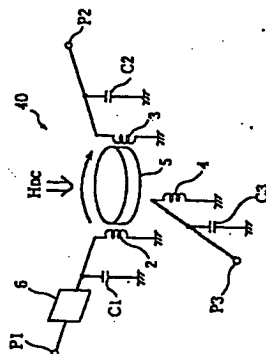


【図2】

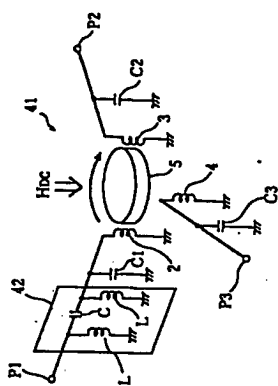


117797925 成分 1172
除され 54 54 12 12

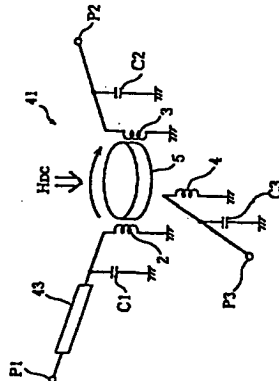
【図3】



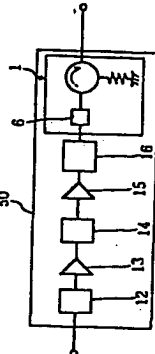
【図4】



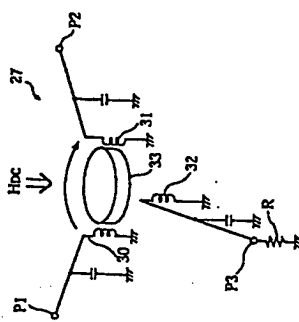
【図5】



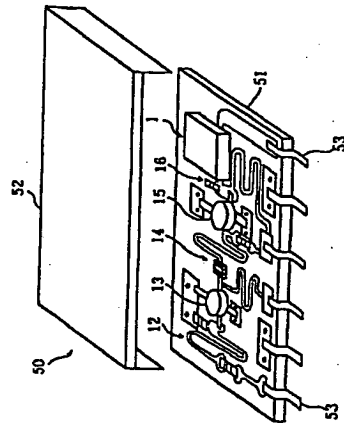
【図6】



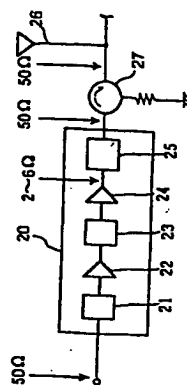
【図8】



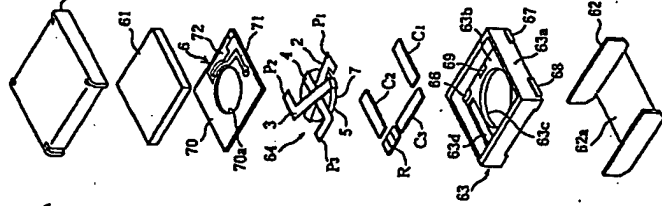
【図7】



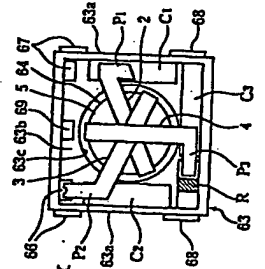
【図8】



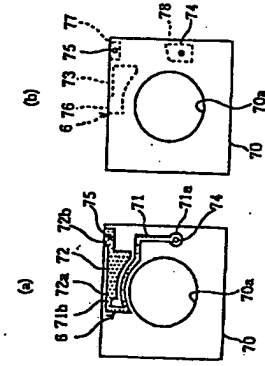
【図10】



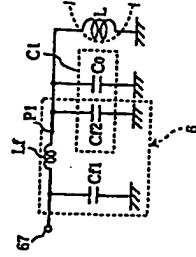
【図11】



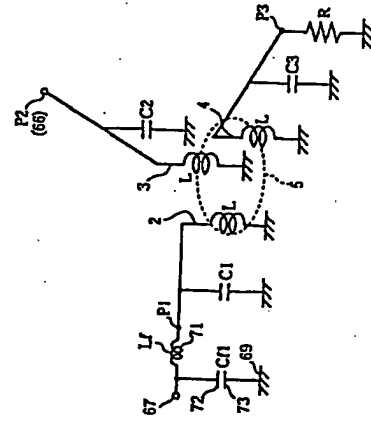
【図12】



【図14】



【図13】



フロントページの続き

(77)発明者 芦田 良彦

京都府長岡京市天神2丁目26番10号 株式会社村田製作所内